



FXMAR2102

双电源、2位电压转换器/隔离器，适合I²C应用

产品特性

- 介于任意两个电平之间的双向接口：1.65 V至5.5 V
- 无需方向控制
- 内部10 KΩ上拉电阻
- OE连接到VCCA时，无需系统GPIO资源。
- I²C-Bus[®]隔离
- A/B端口V_{OL} = 175 mV（典型值），V_{IL} = 150 mV，I_{OL} = 6 mA
- 开漏输入/输出
- 在推挽式环境下工作
- 适应标准模式和快速模式I²C-总线设备
- 支持I²C时钟延展和多个主机
- 完全可配置：输入和输出跟踪V_{CC}
- 非优先上电；任一V_{CC}可首先上电
- 如果任一V_{CC}接地，各输出转变为3态
- 容许的输出启用开启：5 V
- 采用8引脚无铅MicroPak™（1.6 mm x 1.6 mm）和超薄MLP（1.2 mm x 1.4 mm）封装
- ESD保护超出：
 - B端口：8 kV HBM ESD（相对于GND和V_{CCB}）
 - 所有引脚：4 kV HBM ESD（符合JESD22-A114）
 - 2 kV CDM（符合JESD22-C101）

说明

FXMAR2102是高性能可配置双电压电源转换器，可在广泛的输入和输出电压电平范围内提供双向电压转换。同时，FXMAR2102还可在推挽式环境下工作。

旨在为兼容I²C-Bus[®]的主机和从机提供电压转换。提供内部10 KΩ上拉电阻。

该器件是专为A端口跟踪V_{CCA}电平，B端口跟踪V_{CCB}电平而设计的。从而可以在1.65 V至5.5 V的任意两个电平之间进行双向A/B端口电压转换。

在1.65 V至5.5 V电压下，V_{CCA}可等于V_{CCB}。

任一V_{CC}都可以先行上电。

如果去除任一V_{CC}电压，则内部掉电控制电路将置该器件于3态模式。

该器件的两个端口具有自动感知方向的功能。

任一端口都可以感知输入信号，并将其作为输出信号传输至其他端口。

订购信息

器件型号	工作温度范围	顶标	封装	包装方法
FXMAR2102L8X	-40 至 +85°C	BU	8引脚MicroPak™（1.6 mm宽）	卷带和卷盘形式 提供5000个
FXMAR2102UMX			8引脚超薄MLP，1.2 mm x 1.4 mm	

框图

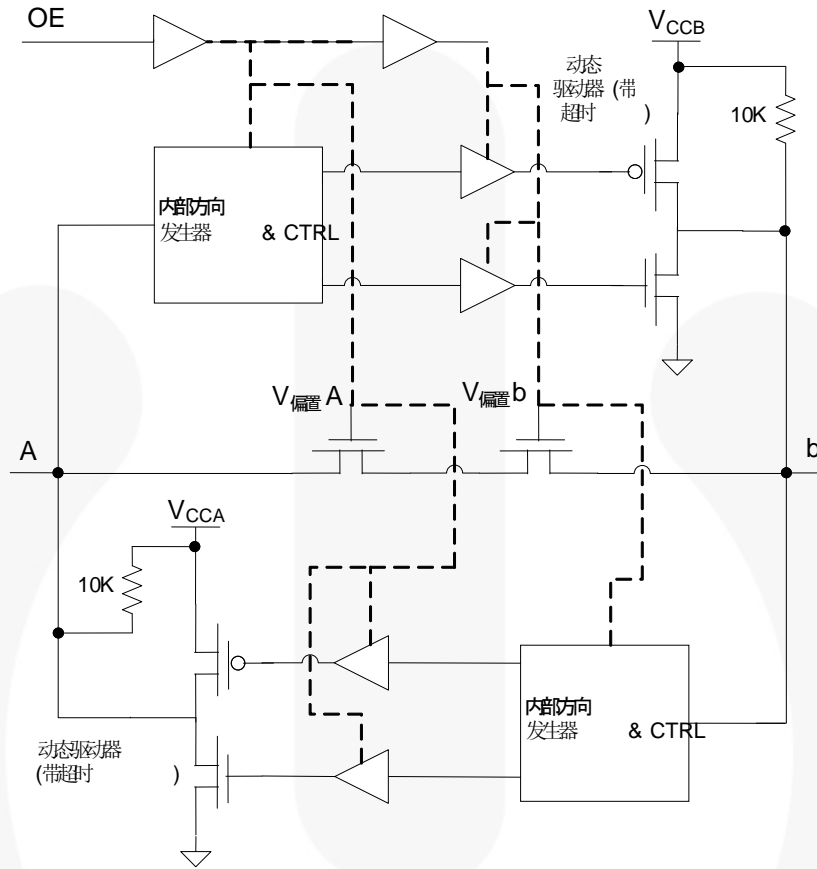


图 1. 框图，双通道之一

引脚布局

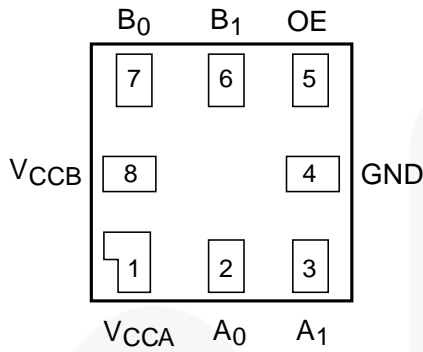


图 2. MicroPak™ (顶视图)

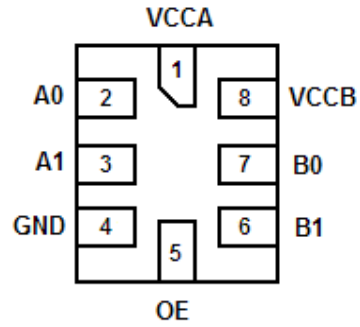


图 3. UMLP (顶视图)

引脚说明

引脚号	名称	说明
1	V _{CCA}	A端电源
2, 3	A ₀ , A ₁	A端输入或3态输出
4	GND	接地
5	OE	输出使能输入
6, 7	B ₁ , B ₀	B端输入或3态输出
8	V _{CCB}	B端电源

真值表

控制	输出
OE ⁽¹⁾	
低逻辑电平	3态
高逻辑电平	正常操作

注意:

- 如果OE引脚驱动为低，则FXMAR2102被禁用，A₀、A₁、B₀和B₁引脚（包括动态驱动器）强制进入3态，且全部四个10KΩ内部上拉电阻从各自相应的V_{CC}去耦。

绝对最大额定值

应力超过绝对最大额定值，可能会损坏设备。

在推荐的工作条件之上，该器件可能无法正常运行或操作，且不建议让器件在这些条件下长期工作。

此外，过度暴露在高于推荐的工作条件下，会影响器件的可靠性。绝对最大额定值仅是额定应力值。

符号	参数		最小值	最大值	单位
V_{CCA}, V_{CCB}	电源电压		-0.5	7.0	V
V_{IN}	DC输入电压	A端口	-0.5	7.0	
		B端口	-0.5	7.0	
		控制输入(OE)	-0.5	7.0	
V_O	输出电压 ⁽²⁾	A _n 输出3态	-0.5	7.0	V
		B _n 输出3态	-0.5	7.0	
		A _n 输出有效	-0.5	$V_{CCA} + 0.5V$	
		B _n 输出有效	-0.5	$V_{CCB} + 0.5V$	
I _{IK}	直流输入二极管电流	$V_{IN} < 0 V$ 时		-50	mA
I _{OK}	DC输出二极管电流	$V_O < 0 V$ 时		-50	mA
		$V_O > V_{CC}$ 时		+50	
I_{OH} / I_{OL}	直流输出源电流/灌电流		-50	+50	mA
I _{CC}	每个电源引脚的直流 V_{CC} 或地电流			±100	mA
P_D	功耗	400 KHz时		0.129	mW
T_{STG}	存储温度范围		-65	+150	°C
ESD	静电放电能力	人体模型，B端口引脚		8	kV
		人体模型，所有引脚 (JEDEC22-A114)		4	
		充电器件模式，JEDEC22-C101		2	

注意：

2. 必须注意I_O绝对最大额定值。

推荐工作条件

推荐的操作条件表定义了真实器件的工作条件。指定推荐的工作条件，以确保设备的最佳性能达到数据表中的规格。

飞兆半导体建议不要超过推荐工作条件，也不能按照绝对最大额定值进行设计。

符号	参数		最小值	最大值	单位
V_{CCA}, V_{CCB}	工作电源		1.65	5.50	V
V_{IN}	输入电压 ⁽³⁾	A端口	0	5.5	V
		B端口	0	5.5	
		控制输入(OE)	0	V_{CCA}	
Θ_{JA}	热阻	8引脚MicroPak™		279	C° /W
		8引脚超薄MLP		302	
T_A	空气流通时的工作温度		-40	+85	°C

注意：

3. 所有未用到的输入与I/O引脚必须保持在 V_{CCI} 或GND。 V_{CCI} 表示与输入侧关联的 V_{CC}

功能说明

上电/掉电顺序

FXM转换器具有一个优点，即任一 V_{CC} 都可以先行上电。

该优势来源于芯片设计。

如果任一 V_{CC} 为零伏，各输出进入高阻态。

控制输入(OE)引脚的设计就是跟踪 V_{CCA} 电源。

下拉电阻限制OE至地，在上电或掉电过程中，可以确保不发生总线争端、过电流或振荡。

下拉电阻的阻值应该基于器件驱动OE引脚的灌电流能力。

推荐的上电顺序为：

1. 施加电源到第一个 V_{CC} ；
2. 施加电源到第二个 V_{CC} ；
3. 驱动OE引脚为高，启用该器件。

推荐的断电顺序为：

1. 驱动OE输入为低，禁用该器件；
2. 去除任一 V_{CC} 电源
3. 去除另一 V_{CC} 电源。

注意：

4. 或者，将OE引脚硬连接至 V_{CCA} ，可以节省GPIO引脚。
如果OE硬连接至 V_{CCA} ，任一 V_{CC} 都可以先行上电和断电。

应用电路

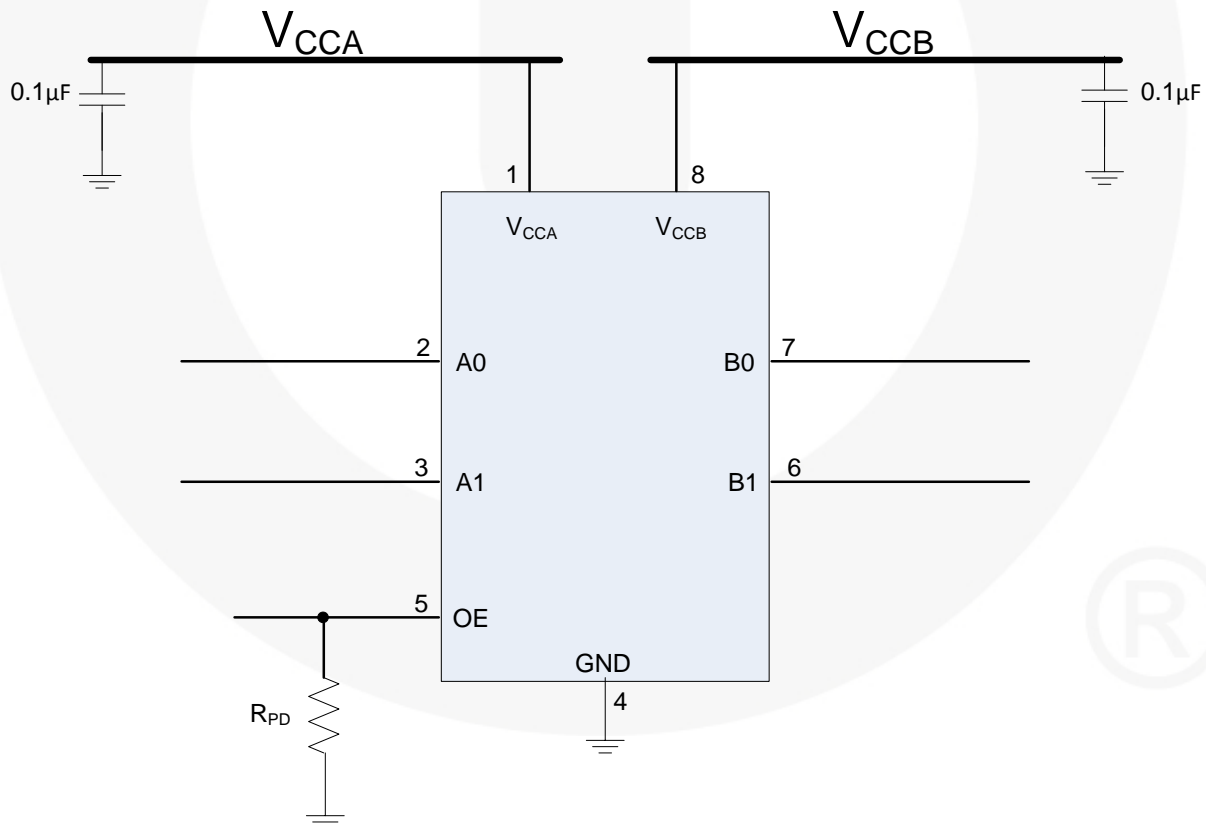


图 4. 应用电路

应用信息

FXMAR2102具有开漏I/O，并在四个数据I/O的每个引脚上集成总共四个10 K Ω 内部上拉电阻(R_{pu})，如图 4所示。

如果一对数据I/O引脚(A_n/B_n)未用，这两个引脚需断开连接，以免不必要的电流流过内部RPU。

视总线电容的总数值，可添加外部RPU至I/O，以降低总RPU值。根据I²C规范(UM10204版本

03, 2007年6月19日)，设计师可随意降低总上拉电阻值，以便满足最大I²C边沿速率的要求。

例如，根据I²C规范，快速模式(400 kbit/s)时的最大边沿速率(30% - 70%)为300 ns。

若总线电容接近最大值(400 pF)，更低的总 R_{pu} 值有助于保持上升时间低于300 ns(快速模式)。

类似地，I²C规范还定义了最小串联时钟线路的高电平持续时间为600 ns(快速模式，400 KHz)。

降低总RPU还有助于增加SCL高电平持续时间。

若总线电容接近400 pF，则合理的选择是使用FXMA2102，因为它不含内部RPU。然后计算理想外部 R_{pu} 值。

注意：

5. I²C规范的第7.1节中给出了上拉电阻选型的最佳指南。

工作原理

FXMAR2102专为I²C应用中的高性能电平转换与缓冲/中继而设计。图 1 表示每个双向通道均包含两个串联

Npassgates和两个动态驱动器。

对要求自动检测方向的I²C应用而言，这种混合结构非常有利。

例如，在以下三种I²C协议事件过程中：

- 时钟展宽
- 从机的ACK位(第9位 = 0)跟在主机的写入位(第8位 = 0)之后
- 时钟同步和多主机仲裁

总线方向需要改变，在未出现边沿的情况下，从“主机到从机”改为从“从机到主机”。

如果在主机与从机之间存在一个I²C转换器，在这些例子当中，当A与B端口均为低时，该I²C转换器必须改变反向。

Npassgates可以高效地完成这项任务，这是因为，如果A与B端口均为低，Npassgates表现为低阻性，在A与B端口之间形成短接。

由于I²C的开漏拓扑结构，I²C主机和从机不是推挽驱动器。逻辑低电平为“下拉”(I_{sink})，而逻辑高电平则为“放开”(3态)。

例如，当主机放开SCL(SCL总是来自主机)时，SCL的上升时间大体上决定于RC时间常数，其中R指的是RPU，C指的是总线电容。

如果FXMAR2102连接至主机[在A端口上]，且B端口上存在一个从机，则Npassgates呈现低阻性，短接这两个端口，直到任一端口的电压达到阈值 $V_{oc}/2$ 为止。

经过RC时间常数后任一端口的电压 $V_{oc}/2$ 阈值之后，该端口的边沿检测器触发全部两个动态驱动器，使之按照由低到高的方向驱动它们各自的端口，加速上升边沿。

所得上升时间将构成图 5中的示波器图。

非常明显的是，上升时间中出现了两个明显不同的斜率。

第一个压摆率(较慢)是总线的RC时间常量。

第二个压摆率(快得多)是加速边沿的动态驱动器。

如果该转换器的A与B端口均为高，则在A与B端口之间建立一个高阻抗路径，这是因为全部两只Npassgates均已经关断。

如果有主机或从机器件决定下拉SCL

或SDA为低，则该器件的驱动器下拉(I_{sink}) SCL

或SDA，直到边沿达到A或B端口的 $V_{oc}/2$ 阈值为止。

当A或B端口的阈值达到时，该端口的边沿检测器触发全部两个动态驱动器，按照由高到低(HL)的方向驱动它们各自的端口，加速下降沿。

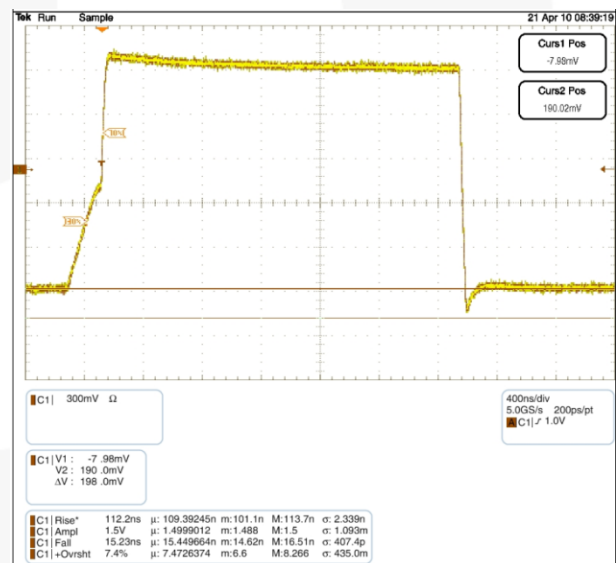


图 5. 波形C: 600 pF, 总 R_{pu} : 2.2K Ω

V_{OL}与 I_{OL}

I²C规范强制规定了最大V_{IL} (I_{OL}为3 mA) 为V_{CC} × 0.3, 以及最大V_{OL}为0.4 V。

如果I²C转换器的A端口上存在一个主机, 其V_{CC} 为1.65 V, I²C转换器的B端口上存在一个从机, 其V_{CC}为3.3 V, 则主机的最大V_{IL} 为(1.65 V × 0.3) = 495 mV。从机可以合法地向主机发送一个0.4V的有效逻辑低。

如果I²C转换器的通道阻抗过高, 转换器的压降可能呈现给主机发送一个大于495 mV 的V_{IL}。

I²C规范表明: 当总线电容接近400 pF时, 推荐I_{OL}为6 mA。I_{OL}增加越多, I²C转换器的压降越高。

当I²C转换器表现出较低的V_{OL}性能时, 则I²C应用较为有利。图 6 描述了典型FXMAR2102

V_{OL}性能与竞争产品的对比 (V_{IL}为0.4 V条件下)。

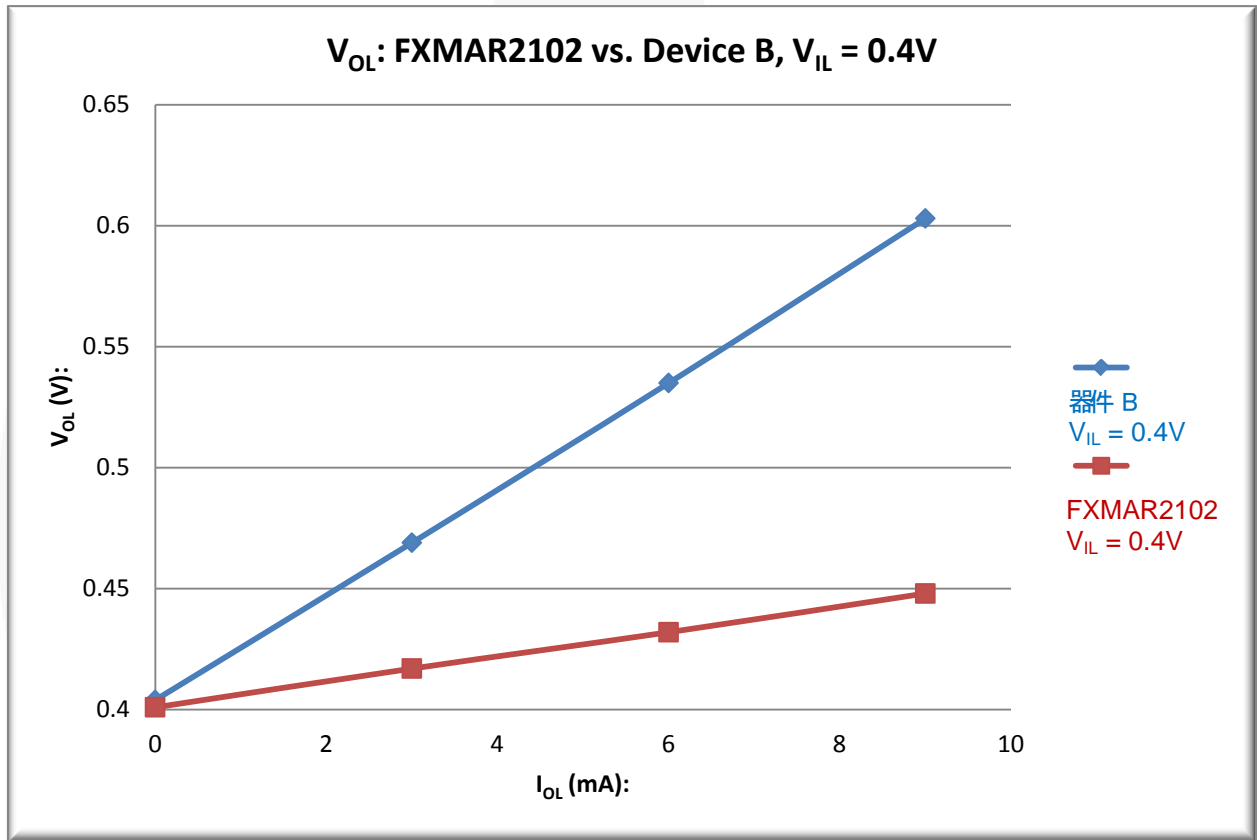


图 6. 器件对比

I²C总线隔离

FXMAR2102支持以下条件的I²C-Bus[®]隔离：

- 总线隔离（针对总线清除状况）
- 总线隔离（针对任一V_{CC}接地状况）

总线清除

由于I²C规范定义了直流的最低SCL频率，SCL信号可始终保持低电平。然而，该条件将关断I²C总线。I²C规范将该条件称为“总线清除”。在图7中，如果2号从机始终压低SCL，则主机和1号从机无法通信，因为FXMAR2102作为主机将SCL低电平卡位条件从2号从机传递至1号从机。但是，如果OE引脚被拉低（遭禁用），全部两个（A与B）

端口进入三态。

FXMA2102将从机2#隔离于主机和从机1#，允许主机与从机1#之间进行完全通信。

V_{CC}至GND

如果从机2#为一架照相机，突然脱离I²C总线，将导致V_{CCB}从有效V_{CC} (1.65 V - 5.5 V) 切换到零，FXMA2102自动强迫A与B端口的SCL和SDA进入3态。

一旦V_{CCB}达到零，则主机与从机1#之间的完全I²C通信保持不受干扰。

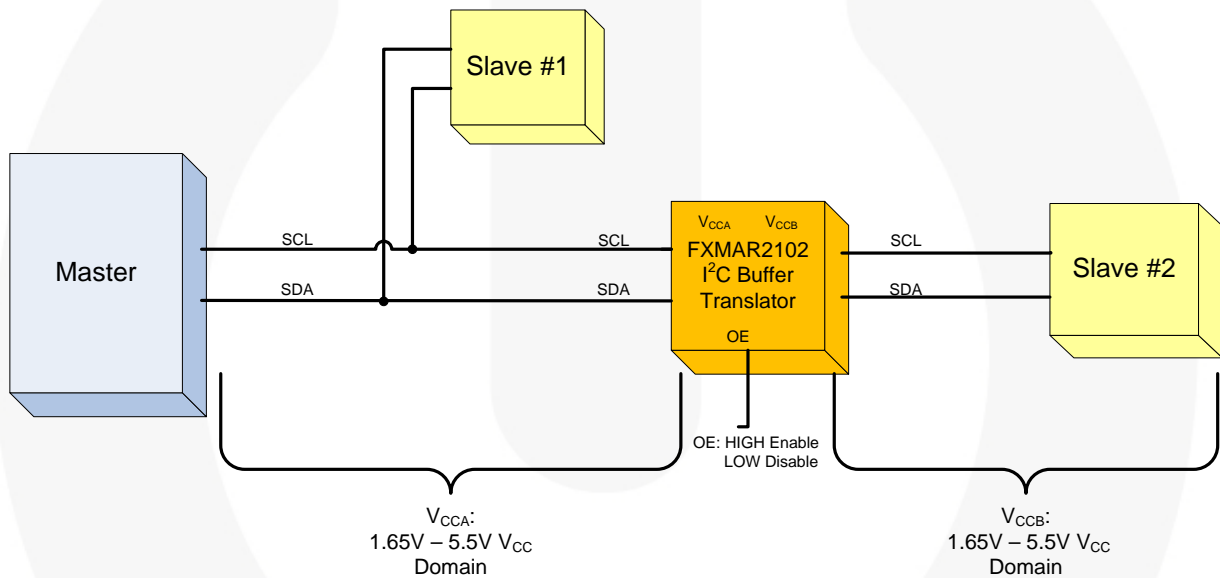


图 7. 总线隔离

直流电气特性

TA= -40° C 至+85° C.

符号	参数	工作条件	V _{CCA} (V)	V _{CCB} (V)	最小值	典型值	最大值	单位
V _{IHA}	高电平输入电压A	数据输入A _n	1.65 - 5.50	1.65 - 5.50	V _{CCA} - 0.4			V
		控制输入OE	1.65 - 5.50	1.65 - 5.50	0.7 × V _{CCA}			
V _{IHB}	高电平输入电压B	数据输入B _n	1.65 - 5.50	1.65 - 5.50	V _{CCB} - 0.4			V
V _{ILA}	低电平输入电压A	数据输入A _n	1.65 - 5.50	1.65 - 5.50			0.4	V
		控制输入OE	1.65 - 5.50	1.65 - 5.50			0.3 × V _{CCA}	
V _{ILB}	低电平输入电压B	数据输入B _n	1.65 - 5.50	1.65 - 5.50			0.4	V
V _{OL}	低电平输出电压	V _{IL} = 0.15 V	1.65 - 5.50	1.65 - 5.50			0.4	V
		I _{OL} = 6 mA						
I _L	输入漏电流	控制输入OE, V _{IN} = V _{CCA} 或GND	1.65 - 5.50	1.65 - 5.50			±1.0	μA
I _{OFF}	关机泄漏电流	A _n V _{IN} 或V _O = 0 V至5.5 V	0	5.50			±2.0	μA
		B _n V _{IN} 或V _O = 0 V至5.5 V	5.50	0			±2.0	
I _{OZ}	3态输出漏电流 ⁽⁷⁾	A _n , B _n V _O = 0 V至5.5 V, OE = V _{IL}	5.50	5.50			±2.0	μA
		A _n V _O = 0 V至5.5 V, OE = 无关	5.50	0			±2.0	
		B _n V _O = 0 V至5.5 V, OE = 无关	0	5.50			±2.0	
I _{CCA/B}	静态电源电流 ^(8, 9)	V _{IN} = V _{CC1} 或浮空, I _O = 0	1.65 - 5.50	1.65 - 5.50			5.0	μA
I _{CCZ}	静态电源电流 ⁽⁸⁾	V _{IN} = V _{CC1} 或GND, I _O = 0, OE = V _{IL}	1.65 - 5.50	1.65 - 5.50			5.0	μA
I _{CCA}	静态电源电流 ⁽⁷⁾	V _{IN} = 5.5 V或GND, I _O = 0, OE = 无关, B _n 至A _n	0	1.65 - 5.50			-2.0	μA
			1.65 - 5.50	0			2.0	
I _{CCB}	静态电源电流 ⁽⁷⁾	V _{IN} = 5.5 V或GND, I _O = 0, OE = 无关, A _n 至B _n	1.65 - 5.50	0			-2.0	μA
			0	1.65 - 5.50			2.0	
R _{PU}	电阻上拉值	V _{CCA} 与V _{CCB} 侧	1.65 - 5.50	1.65 - 5.50		10		Ω

说明:

- 该表格包含了静态条件下的输出电压。动态驱动规范参见动态输出电气特性部分
- “无关”表示任何有效逻辑电平。
- V_{CC1}表示与输入侧关联的V_{CC}
- 反映每路电源的电流, V_{CCA}或V_{CCB}

动态输出电气特性

输出上升/下降时间⁽¹⁰⁾

输出负载： $C_L = 50\text{pF}$ ， $R_{PU} = \text{NC}$ ，推/挽驱动器，以及 $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。

符号	参数	V_{CC0} ⁽¹¹⁾				单位
		4.5 V至5.5 V	3.0 V至3.6 V	2.3 V至2.7 V	1.65 V至1.95 V	
		典型值	典型值	典型值	典型值	
t_{RISE}	输出上升时间；A端口，B端口 ⁽¹²⁾	3	4	5	7	ns
t_{FALL}	输出下降时间；A端口，B端口 ⁽¹³⁾	1	1	1	1	ns

说明：

- 输出上升/下降时间均由设计仿真和验证来保证，未经生产测试。
- V_{CC0} 表示与输出侧关联的 V_{CC} 。
- 请参见图 12。
- 见图 13。

最大数据速率⁽¹⁴⁾

输出负载： $C_L = 50\text{pF}$ ， $R_{PU} = \text{NC}$ ，推/挽驱动器，以及 $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。

V_{CCA}	方向	V_{CCB}				单位
		4.5 V至5.5 V	3.0 V至3.6 V	2.3 V至2.7 V	1.65 V至1.95 V	
		最小值				
4.5 V至5.5 V	A至B	50	50	40	30	MHz
	B至A	50	50	40	40	
3.0 V至3.6 V	A至B	50	50	40	19	MHz
	B至A	50	50	40	40	
2.3 V至2.7 V	A至B	40	40	30	19	MHz
	B至A	40	40	30	30	
1.65 V至1.95 V	A至B	40	40	30	19	MHz
	B至A	30	30	19	19	

注意：

- F-toggle (F-反复、F-翻转) 由设计仿真保证，未经生产测试。

交流特性⁽¹⁵⁾

 输出负载：C_L = 50 pF, R_{pu} = NC, 推/挽驱动器，以及T_A = -40° C至+85° C.

符号	参数	V _{oob}								单位
		4.5 V至5.5 V		3.0 V至3.6 V		2.3 V至2.7 V		1.65 V至1.95 V		
		典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	
V_{oob} = 4.5至5.5 V										
t _{plh}	A至B	1	3	1	3	1	3	1	3	ns
	B至A	1	3	2	4	3	5	4	7	
t _{phl}	A至B	2	4	3	5	4	6	5	7	ns
	B至A	2	4	2	5	2	6	5	7	
t _{pZL}	OE至A	4	5	6	10	5	9	7	15	ns
	OE至B	3	5	4	7	5	8	10	15	
t _{PLZ}	OE至A	65	100	65	105	65	105	65	105	ns
	OE至B	5	9	6	10	7	12	9	16	
t _{skew}	A端口, B端口 ⁽¹⁶⁾	0.50	1.50	0.50	1.00	0.50	1.00	0.50	1.00	ns
V_{oob} = 3.0至3.6V										
t _{plh}	A至B	2.0	5.0	1.5	3.0	1.5	3.0	1.5	3.0	ns
	B至A	1.5	3.0	1.5	4.0	2.0	6.0	3.0	9.0	
t _{phl}	A至B	2.0	4.0	2.0	4.0	2.0	5.0	3.0	5.0	ns
	B至A	2.0	4.0	2.0	4.0	2.0	5.0	3.0	5.0	
t _{pZL}	OE至A	4.0	8.0	5.0	9.0	6.0	11.0	7.0	15.0	ns
	OE至B	4.0	8.0	6.0	9.0	8.0	11.0	10.0	14.0	
t _{PLZ}	OE至A	100	115	100	115	100	115	100	115	ns
	OE至B	5	10	4	8	5	10	9	15	
t _{skew}	A端口, B端口 ⁽¹⁶⁾	0.5	1.5	0.5	1.0	0.5	1.0	0.5	1.0	ns
V_{oob} = 2.3至2.7V										
t _{plh}	A至B	2.5	5.0	2.5	5.0	2.0	4.0	1.0	3.0	ns
	B至A	1.5	3.0	2.0	4.0	3.0	6.0	5.0	10.0	
t _{phl}	A至B	2.0	5.0	2.0	5.0	2.0	5.0	3.0	6.0	ns
	B至A	2.0	5.0	2.0	5.0	2.0	5.0	3.0	6.0	
t _{pZL}	OE至A	5.0	10.0	5.0	10.0	6.0	12.0	9.0	18.0	ns
	OE至B	4.0	8.0	4.5	9.0	5.0	10.0	9.0	18.0	
t _{PLZ}	OE至A	100	115	100	115	100	115	100	115	ns
	OE至B	65	110	65	110	65	115	12	25	
t _{skew}	A端口, B端口 ⁽¹⁶⁾	0.5	1.5	0.5	1.0	0.5	1.0	0.5	1.0	ns
V_{oob} = 1.65至1.95V										
t _{plh}	A至B	4	7	4	7	5	8	5	10	ns
	B至A	1.0	2.0	1.0	2.0	1.5	3.0	5.0	10.0	
t _{phl}	A至B	5	8	3	7	3	7	3	7	ns
	B至A	4	8	3	7	3	7	3	7	
t _{pZL}	OE至A	11	15	11	14	14	28	14	23	ns
	OE至B	6	14	6	14	6	14	9	16	
t _{PLZ}	OE至A	75	115	75	115	75	115	75	115	ns
	OE至B	75	115	75	115	75	115	75	115	
t _{skew}	A端口, B端口 ⁽¹⁶⁾	0.5	1.5	0.5	1.0	0.5	1.0	0.5	1.0	ns

说明:

15. 通过设计和特性数据保证交流特性。

 16. 偏斜是输出信号之间传播延时的变化，仅适用于同一端口的输出信号（A_n或B_n），且以相同的极性切换（低电平至高电平或高电平至低电平）（见图 15）。偏斜性能可以保证，未经生产测试。

电容值

$T_A = +25^\circ\text{C}$.

符号	参数	工作条件	典型值	单位
C_{IN}	输入电容控制引脚 (OE)	$V_{CCA} = V_{CCB} = \text{GND}$	2.2	PF
$C_{I/O}$	输入/输出电容, A_n, B_n	$V_{CCA} = V_{CCB} = 5.0 \text{ V}, \text{OE} = \text{GND}$	13	PF

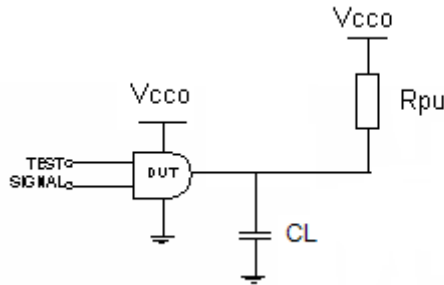


图 8. 测试电路

Table 1. 传播延迟表⁽¹⁷⁾

测试	输入信号	输出使能控制
t_{PLH}, t_{PHL}	数据脉冲	V_{CCA}
t_{PZL} (OE至 A_n, B_n)	0V	低电平至高电平开关
t_{PLZ} (OE至 A_n, B_n)	0V	高电平至低电平开关

注意:

17. 针对 t_{PZL} 和 t_{PLZ} 测试, 需使用一个外部2.2 K Ω 上拉电阻连接至 V_{CCO} , 以便迫使I/O引脚为高电平, 同时使OE为低电平; 当OE为低电平时, 内部10 K Ω RPU从对应的VCC处去耦。

Table 2. 交流负载表

V_{CCO}	C_L	RL
1.8 \pm 0.15 V	50 pF	NC
2.5 \pm 0.2 V	50 pF	NC
3.3 \pm 0.3 V	50 pF	NC
5.0 \pm 0.5 V	50 pF	NC

时序图

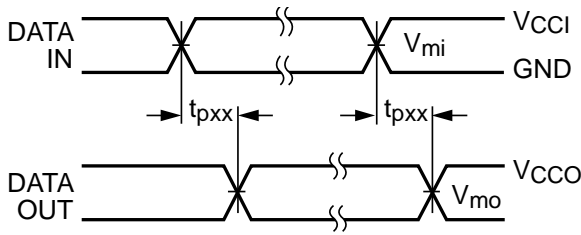


图 9. 反相与同相功能的波形⁽¹⁸⁾

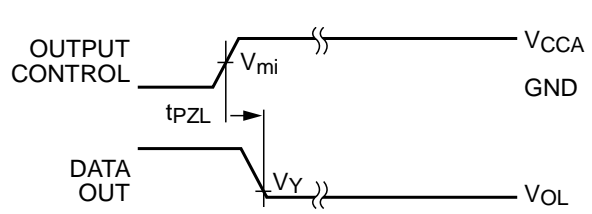


图 10. 3态输出低电平使能时间⁽¹⁸⁾

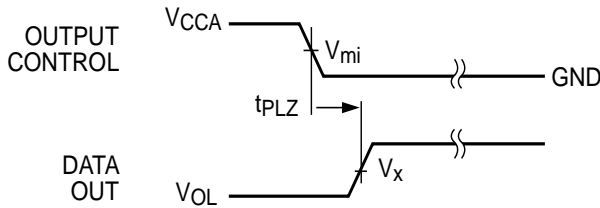


图 11. 3态输出高电平使能时间⁽¹⁸⁾

符号	VCC
$V_{mi}^{(19)}$	$V_{CC1} / 2$
V_{mo}	$V_{CC0} / 2$
V_x	$0.5 \times V_{CC0}$
V_Y	$0.1 \times V_{CC0}$

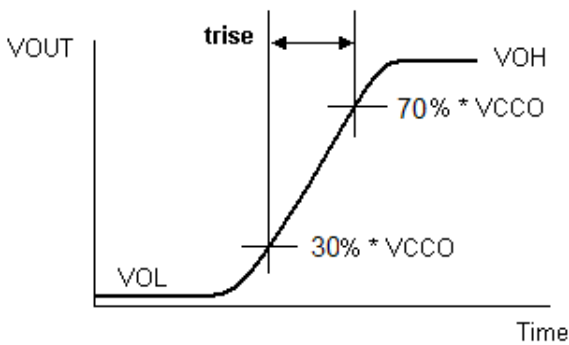


图 12. 有效输出上升时间

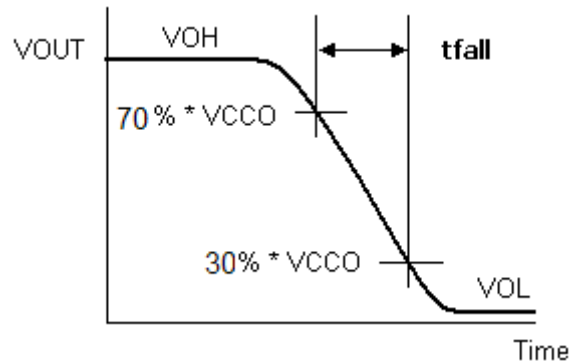


图 13. 有效输出下降时间

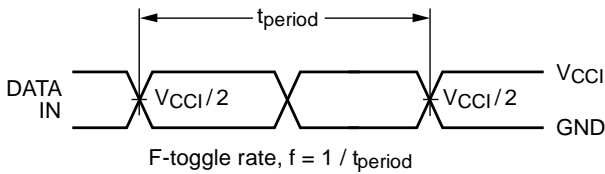
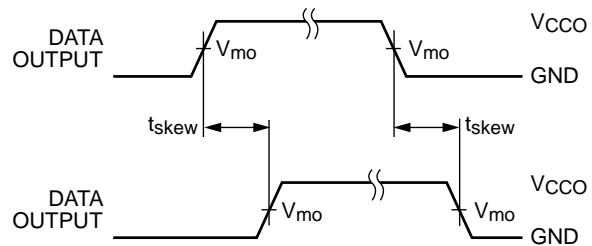


图 14. F-Toggle速率



$$t_{skew} = (t_{pHLmax} - t_{pHLmin}) \text{ or } (t_{pLHmax} - t_{pLHmin})$$

图 15. 输出偏差 (SKEW) 时间

说明:

- 18. 输入 $t_r = t_f = 2.0 \text{ ns}$, 10%至90% (当 $V_{IN} = 1.65 \text{ V}$ 至 1.95 V 时) ;
- 输入 $t_r = t_f = 2.0 \text{ ns}$, 10%至90% (当 $V_{IN} = 2.3$ 至 2.7 V 时) ;
- 输入 $t_r = t_f = 2.5 \text{ ns}$, 10%至90% (仅当 $V_{IN} = 3.0 \text{ V}$ 至 3.6 V 时) ;
- 输入 $t_r = t_f = 2.5 \text{ ns}$, 10%至90% (仅当 $V_{IN} = 4.5 \text{ V}$ 至 5.5 V 时)
- 19. 对于控制引脚(OE) $V_{CCI} = V_{CCA}$, 或 $V_{mi} = (V_{CC1} / 2)$

产品规格尺寸

JEDEC MO-220的符号	说明	NOM值
A	总高度	0.55
A1	封装离板高度	0.012
A3	引脚厚度	0.15
b	引脚宽度	0.2
D	器件长度 (X)	1.4
E	器件宽度 (Y)	1.2
L	引脚长度	0.3
E	引脚间距	0.4

封装图纸是作为一项服务而提供给考虑选用飞兆半导体产品的客户。具体参数可进行改动，且无需做出相应通知。请注意图纸上的版本和/或日期，并联系飞兆半导体代表核实或获得最新版本。

封装规格并不超出飞兆公司全球范围内的条款与条件，尤其指保修，保修涉及飞兆半导体的全部产品。

随时访问飞兆半导体在线封装网页，可以获得最新的封装图：<http://www.fairchildsemi.com/packaging/>。